

S1 1 PN="59-023675"
?t 1/5/1

1/5/1
DIALOG(R) File 347:JAPIO
(c) 2002 JPO & JAPIO. All rts. reserv.

01312075 **Image available**
REMOVING METHOD OF NOISE IN MOS TYPE IMAGE SENSOR

PUB. NO.: 59-023675 [JP 59023675 A]
PUBLISHED: February 07, 1984 (19840207)
INVENTOR(s): OKUMURA FUJIO
APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 57-132611 [JP 82132611]
FILED: July 29, 1982 (19820729)
INTL CLASS: [3] H04N-005/30; H04N-005/21
JAPIO CLASS: 44.6 (COMMUNICATION -- Television)
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)
JOURNAL: Section: E, Section No. 245, Vol. 08, No. 107, Pg. 135, May
19, 1984 (19840519)

ABSTRACT

PURPOSE: To eliminate noise caused by variance of sensors between electrodes and discordance of scanning pulses etc. by switching an MOS switch connected in series to individual sensor element of an MOS type image sensor twice consecutively, and reading the difference between signals of the first time and the second time.

CONSTITUTION: A pre-amplifier 13 that amplifies signals from a signal line and a driving circuit 17 that drives the MOS switch of the sensor are provided in the noise detecting circuit of a one-dimensional or two-dimensional MOS image sensor. Reset pulse is applied from the circuit 17 to the amplifier 13, amplified by the amplifier 13 and integrated output is applied to sample holding circuits A14 and B15. Each of sampling pulses H, I is given from the circuit 17 to circuits A14, B15 respectively, and the signal due to the switching of the first time is held by the circuit A14 and the signal due to the switching of the second time is held by the circuit B15. The difference between the first and second signals is read by a differential amplifier 16, and noise caused by scattering of the sensor and discordance of scanning pulses is eliminated perfectly.

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭59-23675

① Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 昭和59年(1984)2月7日

H 04 N 5/30

6940-5C

5/21

6940-5C

発明の数 1

審査請求 未請求

(全 6 頁)

⑭ MOS型イメージセンサにおける雑音除去方法

東京都港区芝五丁目33番1号日

本電気株式会社内

⑮ 出 願 人 日本電気株式会社

東京都港区芝5丁目33番1号

⑯ 特 願 昭57-132611

⑰ 出 願 昭57(1982)7月29日

⑱ 代 理 人 弁理士 内原晋

⑲ 発 明 者 奥村藤男

明 細 書

発明の名称

MOS型イメージセンサにおける雑音除去方法

特許請求の範囲

1. 1次元あるいは2次元のMOS型イメージセンサにおいて、個々のセンサ素子に直列接続されたMOSスイッチを2回連続してスイッチングし、1回目に読出された信号あるいは1回目、2回目に読出された信号の両方を信号保持能力を有する回路で保持し、1回目、2回目の信号の差を脱取信号とすることを特徴とするMOS型イメージセンサにおける雑音除去方法。
2. 信号保持能力を有する回路が1個または2個のサンプルホールド回路を用い、1個のサンプルホールド回路で保持した1回目の信号とサンプルホールド回路を通さない信号との差あるいは2個のサンプルホールド回路に保持された1回目、2回目の信号の差を差動増幅器で取る信号検出回路で

ある特許請求の範囲第1項記載のMOS型イメージセンサにおける雑音除去方法。

3. 信号保持能力を有する回路が2個のピークホールド回路を用い、1回目のスイッチングによる信号のピークと2回目のスイッチングによる信号のピークをそれぞれ対応するピークホールド回路でホールドし、差動増幅器でその差を脱取る、~~信号~~信号検出回路である特許請求の範囲第1項記載の、MOS型イメージセンサにおける雑音除去方法。
4. 信号保持能力を有する回路がA/Dコンバータとレジスタを用い、2回の連続したスイッチングによる信号をそれぞれレジスタに格納し、その差をCPU等を用いてデジタル的に計算する信号検出回路である特許請求の範囲第1項記載のMOS型イメージセンサにおける雑音除去方法。

(以 下 略)

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭59—23675

⑮ Int. Cl.³

H 04 N 5/30

5/21

識別記号

庁内整理番号

6940—5C

6940—5C

⑯ 公開 昭和59年(1984)2月7日

発明の数 1

審査請求 未請求

(全 6 頁)

⑰ MOS型イメージセンサにおける雑音除去方法

東京都港区芝五丁目33番1号

本電気株式会社内

⑱ 出 願 人 日本電気株式会社

東京都港区芝五丁目33番1号

⑲ 特 願 昭57—132611

⑳ 出 願 昭57(1982)7月29日

㉑ 代 理 人 弁理士 内原晋

㉒ 発 明 者 奥村藤男

明 細 書

発明の名称

MOS型イメージセンサにおける雑音除去方法

特許請求の範囲

1. 1次元あるいは2次元のMOS型イメージセンサにおいて、個々のセンサ素子に直列接続されたMOSスイッチを2回連続してスイッチングし、1回目に読出された信号あるいは1回目、2回目に読出された信号の両方を信号保持能力を有する回路で保持し、1回目、2回目の信号の差を脱取信号とすることを特徴とするMOS型イメージセンサにおける雑音除去方法。
2. 信号保持能力を有する回路が1個または2個のサンプルホールド回路を用い、1個のサンプルホールド回路で保持した1回目の信号とサンプルホールド回路を通さない信号との差あるいは2個のサンプルホールド回路に保持された1回目、2回目の信号の差を差動増幅器で取る信号検出回路で

ある特許請求の範囲第1項記載のMOS型イメージセンサにおける雑音除去方法。

3. 信号保持能力を有する回路が2個のピークホールド回路を用い、1回目のスイッチングによる信号のピークと2回目のスイッチングによる信号のピークをそれぞれ対応するピークホールド回路でホールドし、差動増幅器でその差を脱取る、~~信号~~信号検出回路である特許請求の範囲第1項記載の、MOS型イメージセンサにおける雑音除去方法。
4. 信号保持能力を有する回路がA/Dコンバータとレジスタを用い、2回の連続したスイッチングによる信号をそれぞれレジスタに格納し、その差をCPU等を用いてデジタル的に計算する信号検出回路である特許請求の範囲第1項記載のMOS型イメージセンサにおける雑音除去方法。

(以 下 略)

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59-23675

⑪ Int. Cl.³

H 04 N 5/30

5/21

識別記号

庁内整理番号

6940-5C

6940-5C

⑬ 公開 昭和59年(1984)2月7日

発明の数 1

審査請求 未請求

(全 6 頁)

⑭ MOS型イメージセンサにおける雑音除去方法

東京都港区芝五丁目33番1号日

本電気株式会社内

⑮ 出 願 人 日本電気株式会社

東京都港区芝5丁目33番1号

⑯ 代 理 人 弁理士 内原晋

⑰ 特 願 昭57-132611

⑱ 出 願 昭57(1982)7月29日

⑲ 発 明 者 奥村藤男

明 細 書

発明の名称

MOS型イメージセンサにおける雑音除去方法

特許請求の範囲

1. 1次元あるいは2次元のMOS型イメージセンサにおいて、個々のセンサ素子に直列接続されたMOSスイッチを2回連続してスイッチングし、1回目に読出された信号あるいは1回目、2回目に読出された信号の両方を信号保持能力を有する回路で保持し、1回目、2回目の信号の差を既取信号とすることを特徴とするMOS型イメージセンサにおける雑音除去方法。
2. 信号保持能力を有する回路が1個または2個のサンプルホールド回路を用い、1個のサンプルホールド回路で保持した1回目の信号とサンプルホールド回路を通さない信号との差あるいは2個のサンプルホールド回路に保持された1回目、2回目の信号の差を差動増幅器で取る信号検出回路で

ある特許請求の範囲第1項記載のMOS型イメージセンサにおける雑音除去方法。

3. 信号保持能力を有する回路が2個のピークホールド回路を用い、1回目のスイッチングによる信号のピークと2回目のスイッチングによる信号のピークをそれぞれ対応するピークホールド回路でホールドし、差動増幅器でその差を既取信号とすることを特徴とする特許請求の範囲第1項記載の、^{MOS}信号検出回路である特許請求の範囲第1項記載の、イメージセンサにおける雑音除去方法。
4. 信号保持能力を有する回路がA/Dコンバータとレジスタを用い、2回の連続したスイッチングによる信号をそれぞれレジスタに格納し、その差をCPU等を用いてデジタル的に計算する信号検出回路である特許請求の範囲第1項記載のMOS型イメージセンサにおける雑音除去方法。

(以 中 白)

発明の詳細な説明

本発明は、1次元あるいは2次元のMOS電トランジスタによってスイッチングを行うイメージセンサの雑音除去方法に関するものである。

1次元あるいは2次元のMOSスイッチを使つたいわゆるMOS型撮像素子における最大の問題は S/N の向上である。一般にMOS型のイメージセンサはCCDを使ったイメージセンサに比べてはるかに雑音が大きく、雑音に対して未対策のイメージセンサでは雑音が信号の $10^3 \sim 10^4$ 倍にもなる。雑音には、ゲート電極とソースあるいはドレイン電極間の寄生容量を通して起る駆動パルスのフィードスルーによる固定パターン雑音、二次元イメージセンサにおけるクロック配線と水平出力線間の寄生容量によるクロック雑音、垂直・水平スイッチのランダム雑音等種々ある。このうち主な雑音である固定パターン雑音の発生原因を第1図(a)、(b)を用いて説明する。第1図(a)は最も基本的なMOS型センサの回路構成を示している。

1はスイッチング用MOS電トランジスタ、2

はセンサとなるフォトダイオード、3は電極間容量、4は脱出し抵抗、5は電源である。

MOSトランジスタ1のゲート電極に駆動パルスを加えMOSトランジスタをスイッチングすると電極間容量3のために駆動パルスのフィードスルーが起こり、信号線にスパイク状の雑音に乗る。

通常この雑音は信号に比べてはるかに大きく、しかも電極間容量のばらつきと駆動パルスの波形や波高値のばらつきによってかなりけらつく。この様子を第1図(b)に示す。斜線で示した部分が光信号に相当する。

これに対し、従来種々の雑音低減方法が提案されてきた。代表的な雑音低減方法の例を以下に示す。第2図(a)、(b)は雑音低減方法の2つの例である。第2図(a)、(b)において6はシフトレジスタ等からなる駆動回路、7は信号線、8は雑音線、9はMOSトランジスタ、10はフォトダイオード、11は差動増幅器、12はノイズキャンセル用MOSキャパシタである。これらの雑音低減方法はMOSトランジスタアレイが完全に集積化された

形で作られることを前提としており、集積化した回路では近接した素子間の特性のばらつきが小さいことを利用している。つまり、第2図(a)の回路例においては調整したMOSトランジスタの電極間容量がほぼ等しいと仮定し、走査の終わったビットのMOSトランジスタに再び走査パルスを加えて雑音を発生させ、差動増幅器によって信号成分だけを抽出しようとするものである。また第2図(b)の回路例においては雑音除去用のMOSキャパシタをMOSトランジスタと等しく対称に配置し、上記と同様差動増幅器によって雑音成分を除去している。これらの方法によってかなりの雑音を除去することができるが、いかに集積回路といえども多数のビットのすべてにおいて相互の特性を均一にすることは難しく、ここでもそのばらつきが問題となる。特にスイッチアレイを1個の集積回路上に作らない場合にはこの方法は適用できない。

その様子を第3図(a)に示す。図は、分り易くするため、信号を積分した形で描いてある。また、積分時に必要な電荷のリセットの過程は説明が複

雑になるので示していない。図においてAで示す斜線の部分が光信号であり、Bが容量のばらつきによる雑音成分である。

もう一つの雑音抑圧方法は駆動パルスの立上りと立下りで生じるパルス性の雑音を積分して除去しようというものである。

これは立上りと立下りで生じる雑音成分がほぼ等しいということに着目したものである。第3図(b)にその積分出力を示す。この図においてもリセットの過程は省略してある。図に示すように、駆動パルスの立上りの雑音によって最初の信号は雑音(Bの部分)と光信号(Aの部分)の和となって現れるが、もし走査パルスの立上りと立下りで完全に等しければ、立下りの雑音が立上りの雑音を打消し、走査が終わった後には光信号のみが残ることになる。この方法の適用例では2次元のMOS型イメージセンサにおいて約15dB程度の固定パターン雑音を抑圧したという報告がある。しかし、この方法にも立上り、立下りの雑音が等しくなければならぬという前提があり、これが満足

発明の詳細な説明

本発明は、1次元あるいは2次元のMOS型トランジスタによってイメージングを行うイメージセンサの雑音除去方法に関するものである。

1次元あるいは2次元のMOSスイッチを使いたいわけのMOS型撮像素子における最大の問題はS/Nの向上である。一般にMOS型のイメージセンサはCCDを使ったイメージセンサに比べてはるかに雑音が大きく、雑音に対して未対策のイメージセンサでは雑音が信号の $10^3 \sim 10^4$ 倍にもなる。雑音には、ゲート電極とソースあるいはドレイン電極間の寄生容量を通して起る駆動パルスのフィードスルーによる固定パターン雑音、2次元イメージセンサにおけるクロック配線と水平出力線間の寄生容量によるクロック雑音、垂直・水平スイッチのランダム雑音等種々ある。このうち主な雑音である固定パターン雑音の発生原因を第1図(a)、(b)を用いて説明する。第1図(a)は最も基本的なMOS型センサの回路構成を示している。

1はスイッチング用MOS型トランジスタ、2

はセンサとなるフォトダイオード、3は電極間容量、4は脱出し抵抗、5は電源である。

MOSトランジスタ1のゲート電極に走査パルスを加えMOSトランジスタをスイッチングすると電極間容量3のために走査パルスのフィードスルーが起こり、信号線にスパイク状の雑音が生ずる。

通常この雑音は信号に比べてはるかに大きく、しかも電極間容量のばらつきと走査パルスの波形や読出値のばらつきによってかなりけらつく。この様子を第1図(b)に示す。斜線で示した部分が光信号に相当する。

これに対し、従来種々の雑音低減方法が提案されてきた。代表的な雑音低減方法の例を以下に示す。第2図(a)、(b)は雑音低減方法の2つの例である。第2図(a)、(b)において6はシフトレジスタ等からなる駆動回路、7は信号線、8は雑音線、9はMOSトランジスタ、10はフォトダイオード、11は差動増幅器、12はノイズキャンセリング用MOSキャパシタである。これらの雑音低減方法はMOSトランジスタアレイが完全に集積化された

形で作られることを前提としており、集積化した回路では近接した素子間の特性のばらつきが小さいことを利用している。つまり、第2図(a)の回路例においては隣接したMOSトランジスタの電極間容量がほぼ等しいと仮定し、走査の終わったビットのMOSトランジスタに再び走査パルスを加えて雑音を発生させ、差動増幅器によって信号成分だけを抽出しようとするものである。また第2図(b)の回路例においては雑音除去用のMOSキャパシタをMOSトランジスタと等しく対称に配置し、上記と同様差動増幅器によって雑音成分を除去している。これらの方法によってかなりの雑音を除去することができるが、いかに集積回路といえども多数のビットのすべてにおいて相互の特性を均一にすることは難しく、ここでもそのばらつきが問題となる。特にスイッチアレイを1個の集積回路上に作る場合にはこの方法は適用できない。

その様子を第3図(a)に示す。図は、分かりやすくするため、信号を積分した形で描いてある。また、積分前に必要な電荷のリセットの過程は説明が複

雑になるので示していない。図においてAで示す斜線の部分が光信号であり、Bが寄居のばらつきによる雑音成分である。

もう一つの雑音抑圧方法は走査パルスの立上りと立下りで生じるパルス性の雑音を積分して除去しようというものである。

これは立上りと立下りで生じる雑音成分がほぼ等しいということに着目したものである。第3図(b)にその積分出力を示す。この図においてもリセットの過程は省略してある。図に示すように、走査パルスの立上りの雑音によって最初の信号は雑音(Bの部分)と光信号(Aの部分)の和となって現れるが、もし走査パルスの立上りと立下りで完全に等しければ、立下りの雑音が立上りの雑音を打消し、走査が終わった後には光信号のみが残ることになる。この方法の適用例では2次元のMOS型イメージセンサにおいて約15dB程度の固定パターン雑音を抑圧したという報告がある。しかし、この方法にも立上り、立下りの雑音が等しくなければならないという前提があり、これが満足

発明の詳細な説明

本発明は、1次元あるいは2次元のMOS型トランジスタによってスイッチングを行うイメージセンサの雑音除去方法に関するものである。

1次元あるいは2次元のMOSスイッチを使いたいわゆるMOS型撮像素子における最大の問題はS/Nの向上である。一般にMOS型のイメージセンサはCCDを使ったイメージセンサに比べてはるかに雑音が大きく、雑音に対して未対策のイメージセンサでは雑音が信号の $10^3 \sim 10^4$ 倍にもなる。雑音には、ゲート電極とソースあるいはドレイン電極間の寄生容量を過して起る駆動パルスのフィードスルーによる固定パターン雑音、2次元イメージセンサにおけるクロック配線と水平出力線間の寄生容量によるクロック雑音、垂直・水平スイッチのランダム雑音等種々ある。このうち主な雑音である固定パターン雑音の発生原因を第1図(a)、(b)を用いて説明する。第1図(a)は最も基本的なMOS型センサの回路構成を示している。

1はスイッチング用MOS型トランジスタ、2

はセンサとなるフォトダイオード、3は電極間容量、4は脱出し抵抗、5は電源である。

MOSトランジスタ1のゲート電極に駆動パルスを加えMOSトランジスタをスイッチングすると電極間容量3のために充電パルスのフィードスルーが起こり、信号線にスパイク状の雑音に乗る。

通常この雑音は信号に比べてはるかに大きく、しかも電極間容量のばらつきと充電パルスの波形や放電値のばらつきによってかなりけらつく。この様子を第1図(b)に示す。斜線で示した部分が光信号に相当する。

これに対し、従来種々の雑音低減方法が提案されてきた。代表的な雑音低減方法の例を以下に示す。第2図(a)、(b)は雑音低減方法の2つの例である。第2図(a)、(b)において6はシフトレジスタ等からなる駆動回路、7は信号線、8は雑音線、9はMOSトランジスタ、10はフォトダイオード、11は差動増幅器、12はノイズキャンセル用MOSキャパシタである。これらの雑音低減方法はMOSトランジスタアレイが完全に集積化された

形で作られることを前提としており、集積化した回路では近接した素子間の特性のばらつきが小さいことを利用している。つまり、第2図(a)の回路例においては隣接したMOSトランジスタの電極間容量がほぼ等しいと仮定し、充電が終ったビットのMOSトランジスタに再び充電パルスを加えて雑音を発生させ、差動増幅器によって信号成分だけを抽出しようとするものである。また第2図(b)の回路例においては雑音除去用のMOSキャパシタをMOSトランジスタと等しく対称に配設し、上記と同様差動増幅器によって雑音成分を除去している。これらの方法によってかなりの雑音を除去することができるが、いかに集積回路といえども多数のビットのすべてにおいて相互の特性を均一にすることは難しく、ここでもそのばらつきが問題となる。特にスイッチアレイを1個の集積回路上に作れない場合にはこの方法は適用できない。

その様子を第3図(a)に示す。図は、分り易くするため、信号を積分した形で描いてある。また、積分器に必要な電荷のリセットの過程は説明が複

雑になるので示していない。図においてAで示す斜線の部分が光信号であり、Bが充電のばらつきによる雑音成分である。

もう一つの雑音抑圧方法は充電パルスの立上りと立下りで生じるパルス性の雑音を積分して除去しようというものである。

これは立上りと立下りで生じる雑音成分がほぼ等しいということに着目したものである。第3図(b)にその積分出力を示す。この図においてもリセットの過程は省略してある。図に示すように、充電パルスの立上りの雑音によって最初の信号は雑音(Bの部分)と光信号(Aの部分)の和となって現れるが、もし充電パルスの立上りと立下りで完全に等しければ、立下りの雑音が立上りの雑音を打消し、充電が終った後には光信号のみが残ることになる。この方法の適用例では2次元のMOS型イメージセンサにおいて約15dB程度の固定パターン雑音を抑圧したという報告がある。しかし、この方法にも立上り、立下りの雑音が等しくなければならないという前提があり、これが満足

されなければ雑音除去をすることはできない。この前提がくずれるのは低周波の雑音が信号線に入る場合や、MOSトランジスタにオンリータの存在する場合、あるいはCMOSアナログスイッチのように複雑なバックグランド処理を行っているもの等の場合である。これは特にアドレスデコーダを含んだCMOSアナログスイッチの場合に顕著である。

本発明の目的は、このような従来方法の欠点を除去せしめ、電極間容量のばらつきや充電パルスの立上り立下りによって生じる雑音の不均一があってもこれらに無関係に雑音除去を行えるMOS型イメージセンサにおける雑音除去方法を提供することにある。

本発明によればこれらMOSスイッチを用いるイメージセンサにおいて信号保持能力を持つ回路を1つ以上有する信号検出回路を用い、個々のセンサ素子をそれぞれ2回連続してスイッチングし、最初のスイッチングで読み出した信号あるいは両方の信号を該信号保持能力を有する回路に保持し、

回路Bとする。16は2つのサンプルホールド回路の出力の差をとる差動増幅器、17はMOSスイッチを駆動し、サンプルホールド回路にサンプルパルスを与え、プリアンプ13に積分器が含まれる場合には積分器にリセットパルスを与える駆動回路である。また、図中Bはプリアンプの出力信号、F、Gはそれぞれサンプルホールド回路A、Bの出力信号、H、Iはそれぞれサンプルホールド回路A、Bへのサンプルパルスを表しており、E、F、G、H、Iは第5図におけるE、F、G、H、Iに対応している。第5図においてA、Bは、それぞれ光信号、雑音を表しており、この図においては光信号も変化している状態を示している。

以下、信号の流れに於いてこの検出回路の動作を説明する。

まず各ピットのMOSスイッチには第5図に示すように、連続して2度スイッチングするスイッチングパルスが送られる。その結果信号線に乗る信号を積分器を含んだプリアンプ13で増幅するとその出力信号は第5図Eに示す様になる。

両信号の差をとることによって雑音を除去することを特徴とするMOS型イメージセンサにおける雑音除去方法が得られる。

以下本発明の、MOS型イメージセンサにおける雑音除去方法とそれを實現する検出回路の典型例について図面を用いて詳細に説明する。

第4図は本発明のMOS型イメージセンサにおける雑音除去方法を實現するための検出回路の一実施例であり、第5図は第4図の検出回路を使った場合の充電パルスのタイミングと個号波形を示している。

第4図において13は信号をある程度増幅するためのプリアンプであり、積分器等の信号処理回路を含む場合もある。信号は積分した方が分り易くなるため、説明の都合上ここでは積分器を含むものとする。14、15は同一の性能を持つサンプルホールド回路であり、最初のスイッチングで得られた信号をホールドする方14をサンプルホールド回路Aとし2度目のスイッチングで得られた信号をホールドする方15をサンプルホールド

回路から分るように最初のスイッチングで得られる信号は光信号と雑音が重畳したもので2度目の信号は光によって発生した電荷が読み出された直後のため雑音のみとなる。しかもこの雑音は同じ駆動系で作った充電パルスによって同一のMOSスイッチをスイッチングして生じたものであるから最初のスイッチングで発生した雑音と符号同相となる。

さてここでプリアンプ13にこのような信号が出ているとき、サンプルホールド回路A、Bに第5図H、Iに示すタイミングでサンプルパルスが与えられると、サンプルホールド回路Aは1度目のスイッチングで得られた信号をホールドし、サンプルホールド回路Bは2度目のスイッチングで得られた信号をホールドする。これが第5図F、Gに示す信号である。

最後に差動増幅器16によってこれらの信号の差をとったものが出力信号として示されている。

図から明らかなようにJ、Kで示すタイミングでは出力信号は光信号のみとなっている。これは

されなければ雑音除去をすることはできない。この前提がくずれるのは低周波の雑音が信号線に入る場合や、MOSトランジスタにオンリークの存在する場合、あるいはCMOSアナログスイッチのように複雑なバックゲート処理を行っているもの等の場合である。これは特にアドレスデコードを含んだCMOSアナログスイッチの場合に顕著である。

本発明の目的は、このような従来方法の欠点を除去せしめ、電極間容量のばらつきや電圧パルスの立上り立下りによって生じる雑音の不均一があってもこれらに無関係に雑音除去を行えるMOS型イメージセンサにおける雑音除去方法を提供することにある。

本発明によればこれらMOSスイッチを用いるイメージセンサにおいて信号保持能力を持つ回路を1つ以上有する信号検出回路を用い、個々のセンサ素子をそれぞれ2回連続してスイッチングし、最初のスイッチングで読み出した信号あるいは両方の信号を該信号保持能力を有する回路に保持し、

回路Bとする。16は2つのサンプルホールド回路の出力の差をとる差動増幅器、17はMOSスイッチを駆動し、サンプルホールド回路にサンプルパルスを与え、ブリアンプ13に積分器が含まれる場合には積分器にリセットパルスを与える駆動回路である。また、図中Bはブリアンプの出力信号、F、Gはそれぞれサンプルホールド回路A、Bの出力信号、H、Iはそれぞれサンプルホールド回路A、Bへのサンプルパルスを送り、E、F、G、H、Iは第5図におけるE、F、G、H、Iに対応している。第5図においてA、Bはそれぞれ光信号、雑音を表しており、この図においては光信号も変化している状態を示している。

以下、信号の流れに沿ってこの検出回路の動作を説明する。

まず各ビットのMOSスイッチには第5図に示すように、連続して2度スイッチングするスイッチングパルスが送られる。その結果信号線に乗る信号を積分器を含んだブリアンプ13で増幅するとその出力信号は第5図Eに示す様になる。

両信号の差をとることによって雑音を除去することを特徴とするMOS型イメージセンサにおける雑音除去方法が得られる。

以下本発明の、MOS型イメージセンサにおける雑音除去方法とそれを実現する検出回路の実例について図面を用いて詳細に説明する。

第4図は本発明のMOS型イメージセンサにおける雑音除去方法を実現するための検出回路の一実施例であり、第5図は第4図の検出回路を使った場合の電圧パルスのタイミングと信号波形状を示している。

第4図において13は信号をある程度増幅するためのブリアンプであり、積分器等の信号処理回路を含む場合もある。信号は積分した方が分り易くなるため、説明の都合上ここでは積分器を含むものとする。14、15は同一の性能を持つサンプルホールド回路であり、最初のスイッチングで得られた信号をホールドする方14をサンプルホールド回路Aとし2度目のスイッチングで得られた信号をホールドする方15をサンプルホールド

回路から分るように最初のスイッチングで得られた信号は光信号と雑音が重畳したもので2度目の信号は光によって発生した電荷が読み出された直後のため雑音のみとなる。しかもこの雑音は同じ駆動系で作った電圧パルスによって同一のMOSスイッチをスイッチングして生じたものであるから最初のスイッチングで発生した雑音と符号同位となる。

さてここでブリアンプ13にこのような信号が出ているとき、サンプルホールド回路A、Bに第5図H、Iに示すタイミングでサンプルパルスが与えられると、サンプルホールド回路Aは1度目のスイッチングで得られた信号をホールドし、サンプルホールド回路Bは2度目のスイッチングで得られた信号をホールドする。これが第5図F、Gに示す信号である。

最後に差動増幅器16によってこれらの信号の差をとったものが出力信号として示されている。

図から明らかなようにJ、Kに示すタイミングでは出力信号は光信号のみとなっている。これは

されなければ雑音除去をすることはできない。この前提がくずれるのは低周波の雑音が信号線に入る場合や、MOSトランジスタにオンリータの存在する場合、あるいはCMOSアナログスイッチのように複雑なバックグランド処理を行っているもの等の場合である。これは特にアドレスデコードを含んだCMOSアナログスイッチの場合に顕著である。

本発明の目的は、このような従来方法の欠点を除去せしめ、電極間容量のばらつきや充放電パルスの立上り立下りによって生じる雑音の不均一があってもこれらに無関係に雑音除去を行えるMOS型イメージセンサにおける雑音除去方法を提供することにある。

本発明によればこれらMOSスイッチを用いるイメージセンサにおいて信号保持能力を持つ回路を1つ以上有する信号検出回路を用い、個々のセンサ素子をそれぞれ2回逐次してスイッチングし、最初のスイッチングで読み出した信号あるいは両方の信号を該信号保持能力を有する回路に保持し、

回路Bとする。16は2つのサンプルホールド回路の出力の差をとる差動増幅器、17はMOSスイッチを駆動し、サンプルホールド回路にサンプルパルスを与え、ブリアンプ13に積分器が含まれる場合には積分器にリセットパルスを与える駆動回路である。また、図中Eはブリアンプの出力信号、F、Gはそれぞれサンプルホールド回路A、Bの出力信号、H、Iはそれぞれサンプルホールド回路A、Bへのサンプルパルスを表しており、E、F、G、H、Iは第5図におけるE、F、G、H、Iに対応している。第5図においてA、Bは、それぞれ光信号、雑音を表しており、この図においては光信号も変化している状態を示している。

以下、信号の流れに沿ってこの検出回路の動作を説明する。

まず各ビットのMOSスイッチには第5図に示すように、逐次して2度スイッチングするスイッチングパルスが送られる。その結果信号線に乗る信号を積分器を含んだブリアンプ13で増幅するとその出力信号は第5図Eに示す様になる。

両信号の差をとることによって雑音を除去することを特徴とするMOS型イメージセンサにおける雑音除去方法が得られる。

以下本発明の、MOS型イメージセンサにおける雑音除去方法とそれを実現する検出回路の実施例について図面を用いて詳細に説明する。

第4図は本発明のMOS型イメージセンサにおける雑音除去方法を実現するための検出回路の一実施例であり、第5図は第4図の検出回路を使った場合の充放電パルスのタイミングと信号波形を示している。

第4図において13は信号をある程度増幅するためのブリアンプであり、積分器等の信号処理回路を含む場合もある。信号は積分した方が分り易くなるため、説明の都合上ここでは積分器を含むものとする。14、15は同一の性能を持つサンプルホールド回路であり、最初のスイッチングで得られた信号をホールドする方14をサンプルホールド回路Aとし2度目のスイッチングで得られた信号をホールドする方15をサンプルホールド

回路から分るように最初のスイッチングで得られる信号は光信号と雑音が重畳したもので2度目の信号は光によって発生した電荷が読み出された直後のため雑音のみとなる。しかもこの雑音は同じ駆動系で作った充放電パルスによって同一のMOSスイッチをスイッチングして生じたものであるから最初のスイッチングで発生した雑音と符号同量となる。

さてここでブリアンプ13にこのような信号が出ているとき、サンプルホールド回路A、Bに第5図H、Iに示すタイミングでサンプルパルスが与えられると、サンプルホールド回路Aは1度目のスイッチングで得られた信号をホールドし、サンプルホールド回路Bは2度目のスイッチングで得られた信号をホールドする。これが第5図F、Gに示す信号である。

最後に差動増幅器16によってこれらの信号の差をとったものが出力信号として示されている。

図から明らかなようにJ、Kで示すタイミングでは出力信号は光信号のみとなっている。これは

先に述べたように1度目のスイッチングで得られた信号と2度目に得られた信号の雑音成分が等しいため、両者の差をとることによって雑音除去が行えるからである。

以上が本発明の雑音除去方法の動作原理であるが、この方法によれば、第5図のBと出力信号の波形から明らかなように各ビットの雑音にばらつきがあっても、また走査パルスの立上り、立下りによって生じる雑音の大きさが等しくなくても雑音除去が可能となる。しかも検出回路は従来のものに比べ、サンプルホールド回路が1個増す程度で、それ程複雑なものとはならない。

最後に、本発明のイメージセンサにおける雑音除去方法を実現するための検出回路の実施例のいくつかを示す。

第6図(a)、(b)は2種類の検出回路を示している。

第6図(b)において18、19は2つの同等なピークホールド回路である。第6図(a)は第4図の検出回路において片方のサンプルホールド回路をばういた形の検出回路であり、サンプルホールド回

路の入ラインピーダンスと発動増幅器の入ラインピーダンスが異なることによる影響が出なければ2度目のスイッチングをホールドする必要はない。

この検出回路を用いスイッチとしてCMOSアナログスイッチを使い960ビットの1次元イメージセンサを駆動したところ、動作は良好であり、サンプルホールド回路を1個はばういたことによる信号変動は見られなかった。

次に、第6図(b)は信号蓄積回路としてピークホールド回路を用いたもので、ブリアンプ13から出てくる信号は積分パルスのような鋭いものでもよいので、ブリアンプ部に特に積分器を付ける必要はない。また駆動回路17からピークホールド回路18、19に入っている信号線はピークホールド回路をリセットするためのものである。動作としてはサンプルホールド回路を用いたものとほとんど同じである。

次に第7図にA/Dコンバータを用いたデジタル的な検出回路を示す。図において20はブリアンプ13のアナログ出力をデジタル化するA/D

コンバータ21、22はそれぞれ1度目、2度目のスイッチングによる信号をデジタル的に保持するレジスタ、23は21のレジスタの内容から22のレジスタの内容を引く減算器である。また21~23はCPUを使えばソフト的に構成することもできる。動作はアナログデジタルの違いがあるだけで、先の例とほとんど同じである。つまり1つのセンサ素子から2回連続して読み出された信号をそれぞれA/D変換し、レジスタに保持しておいて差をとり雑音除去を行うものである。

以上説明したように、本発明のMOS型イメージセンサにおける雑音除去方法を用いると、従来方法にあった電極間容量のばらつきや走査パルスの立上り立下り時に生じる雑音の不整合等による雑音成分を完全に除去でき高感度な信号検出ができ1次元あるいは2次元のMOS型イメージセンサに有用である。

図面の簡単な説明

第1図はMOS型イメージセンサの基本構成とその信号波形、第2図は従来型の雑音除去方法の例、第3図は従来型の雑音除去を行った結果得られる出力信号波形、第4図は本発明の雑音除去方法を実現する検出回路の一実施例、第5図は、第4図に示す検出回路の各部の信号波形、第6図、第7図は本発明の雑音除去方法を実現する検出回路の実施例を示している。

1…MOSトランジスタ 2…フォトダイオード
3…電極間容量 4…検出抵抗 5…電線
6…駆動回路 7…信号線 8…雑音線 9…MOSトランジスタ 10…フォトダイオード
11…発動増幅器 12…ノイズキャンセル用MOSキャパシタ 13…ブリアンプ 14、15…サンプルホールド回路 16…発動増幅器
17…駆動回路 18、19…ピークホールド回路 20…A/Dコンバータ 21、22…レジスタ 23…減算器。

代理人 弁理士 内 原 晋

先に述べたように1度目のスイッチングで得られた信号と2度目に得られた信号の雑音成分が等しいため、両者の差をとることによって雑音除去が行えるからである。

以上が本発明の雑音除去方法の動作原理であるが、この方法によれば、第5図のBと出力信号の波形から明らかなように各ビットの雑音にばらつきがあっても、また走査パルスの立上り、立下りによって生じる雑音の大きさが等しくなくても雑音除去が可能となる。しかも検出回路は従来のものに比べ、サンプルホールド回路が1個増す程度で、それ程複雑なものとはならない。

最後に、本発明のイメージセンサにおける雑音除去方法を実現するための検出回路の実施例のいくつかを示す。

第6図(a)、(b)は2種類の検出回路を示している。

第6図(b)において18、19は2つの同等なピークホールド回路である。第6図(a)は第4図の検出回路において片方のサンプルホールド回路をばいいた形の検出回路であり、サンプルホールド回

路の入力インピーダンスと増動増幅器の入力インピーダンスが異なることによる影響が出なければ2度目のスイッチングをホールドする必要はない。

この検出回路を用いスイッチとしてCMOSアナログスイッチを使い960ビットの1次元イメージセンサを駆動したところ、動作は良好であり、サンプルホールド回路を1個ばいいたことによる信号変動は見られなかった。

次に、第6図(b)は信号蓄積回路としてピークホールド回路を用いたもので、プリアンプ13から出てくる信号は積分パルスのような鋭いものでもよいから、プリアンプ部に特に積分器を付ける必要はない。また駆動回路17からピークホールド回路18、19に入っている信号線はピークホールド回路をリセットするためのものである。動作としてはサンプルホールド回路を用いたものとほとんど同じである。

次に第7図にA/Dコンバータを用いたデジタル的な検出回路を示す。図において20はプリアンプ13のアナログ出力をデジタル化するA/D

コンバータ21、22はそれぞれ1度目、2度目のスイッチングによる信号をデジタル的に保持するレジスタ、23は21のレジスタの内容から22のレジスタの内容を引く演算器である。また21〜23はCPUを使えばソフト的に構成することもできる。動作はアナログデジタルの違いがあるだけで、先の例とはほとんど同じである。つまり1つのセンサ素子から2回連続して読み出された信号をそれぞれA/D変換し、レジスタに保持しておいて差をとり雑音除去を行うものである。

以上説明したように、本発明のMOS型イメージセンサにおける雑音除去方法を用いると、従来方法にあった電極間容量のばらつきや走査パルスの立上り立下り時に生じる雑音の不整合等による雑音成分を完全に除去でき高感度な信号検出ができ1次元あるいは2次元のMOS型イメージセンサに有用である。

図面の簡単な説明

第1図はMOS型イメージセンサの薄層構成とその信号波形、第2図は従来型の雑音除去方法の例、第3図は従来型の雑音除去を行った結果得られる出力信号波形、第4図は本発明の雑音除去方法を実現する検出回路の一実施例、第5図は、第4図に示す検出回路の各部の信号波形、第6図、第7図は本発明の雑音除去方法を実現する検出回路の実施例を示している。

1…MOSトランジスタ 2…フォトダイオード
3…電極間容量 4…読出抵抗 5…電線
6…駆動回路 7…信号線 8…雑音線 9…MOSトランジスタ 10…フォトダイオード
11…増動増幅器 12…ノイズキャンセル用MOSキャパシタ 13…プリアンプ 14、15…サンプルホールド回路 16…増動増幅器
17…駆動回路 18、19…ピークホールド回路 20…A/Dコンバータ 21、22…レジスタ 23…演算器。

代理人 弁理士 内 原 晋



先に述べたように1度目のスイッチングで得られた信号と2度目に得られた信号の雑音成分が等しいため、両者の差をとることによって雑音除去が行えるからである。

以上が本発明の雑音除去方法の動作原理であるが、この方法によれば、第5図のBと出力信号の波形から明かなように各ビットの雑音にばらつきがあっても、また走査パルスの立上り、立下りによって生じる雑音の大きさが等しくなくても雑音除去が可能となる。しかも検出回路は従来のものに比べ、サンプルホールド回路が1個増す程度で、それ程複雑なものとはならない。

最後に、本発明のイメージセンサにおける雑音除去方法を実現するための検出回路の実施例のいくつかを示す。

第5図(a)、(b)は2種類の検出回路を示している。

第5図(b)において18、19は2つの同等なピークホールド回路である。第5図(a)は第4図の検出回路において片方のサンプルホールド回路をばういた形の検出回路であり、サンプルホールド回

路の入力インピーダンスと増動増幅器の入力インピーダンスが異なることによる影響が出なければ2度目のスイッチングをホールドする必要はない。

この検出回路を用いスイッチとしてCMOSアナログスイッチを使い960ビットの1次元イメージセンサを駆動したところ、動作は良好であり、サンプルホールド回路を1個はばういたことによる信号変動は見られなかった。

次に、第5図(b)は信号蓄積回路としてピークホールド回路を用いたもので、ブリアンプ13から出てくる信号は微分パルスのような鋭いものでもよいため、ブリアンプ部に特に積分器を付ける必要はない。また駆動回路17からピークホールド回路18、19に入っている信号線はピークホールド回路をリセットするためのものである。動作としてはサンプルホールド回路を用いたものとほとんど同じである。

次に第7図にA/Dコンバータを用いたデジタル的な検出回路を示す。図において20はブリアンプ13のアナログ出力をデジタル化するA/D

コンバータ21、22はそれぞれ1度目、2度目のスイッチングによる信号をデジタル的に保持するレジスタ、23は21のレジスタの内容から22のレジスタの内容を引く減算器である。また21～23はCPUを使えばソフト的に構成することもできる。動作はアナログデジタルの違いがあるだけで、先の例とはほとんど同じである。つまり1つのセンサ素子から2回連続して読み出された信号をそれぞれA/D変換し、レジスタに保持しておいて差をとり雑音除去を行うものである。

以上説明したように、本発明のMOS型イメージセンサにおける雑音除去方法を用いると、従来方法にあった電極間容量のばらつきや走査パルスの立上り立下り時に生じる雑音の不整合等による雑音成分を完全に除去でき高感度な信号検出ができ1次元あるいは2次元のMOS型イメージセンサに有用である。

図面の簡単な説明

第1図はMOS型イメージセンサの基本構成とその信号波形、第2図は従来型の雑音除去方法の例、第3図は従来型の雑音除去を行った結果得られる出力信号波形、第4図は本発明の雑音除去方法を実現する検出回路の実施例、第5図は、第4図に示す検出回路の各部の信号波形、第6図、第7図は本発明の雑音除去方法を実現する検出回路の実施例を示している。

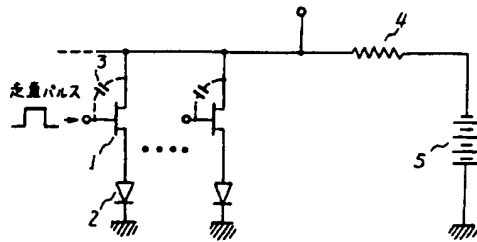
1…MOSトランジスタ 2…フォトダイオード
3…電極間容量 4…検出抵抗 5…電極
6…駆動回路 7…信号線 8…雑音線 9…MOSトランジスタ 10…フォトダイオード
11…増動増幅器 12…ノイズキャンセラ用MOSキャパシタ 13…ブリアンプ 14、15…サンプルホールド回路 16…増動増幅器
17…駆動回路 18、19…ピークホールド回路 20…A/Dコンバータ 21、22…レジスタ 23…減算器。

代理人 弁理士 内 原 晋 (56)

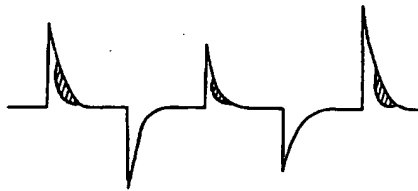
才 一 四

(a)

信号出力

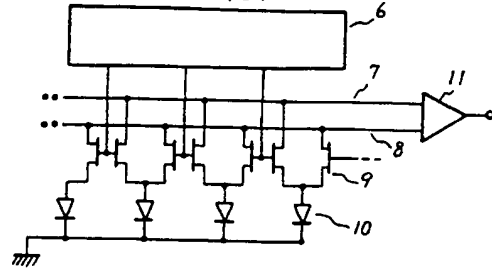


(b)

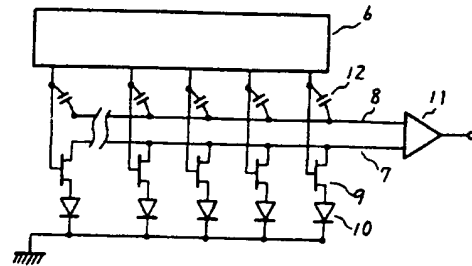


✱ 2

(0)

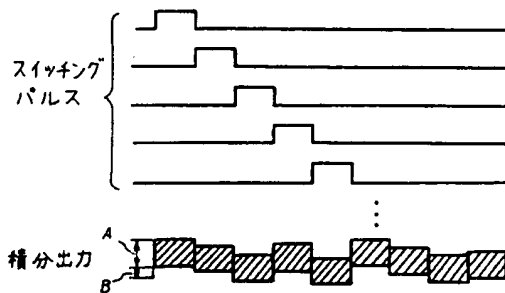


(b)

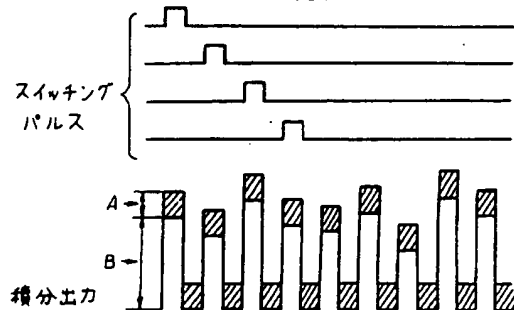


才 3 回。

(a)



(b)



才 4 回

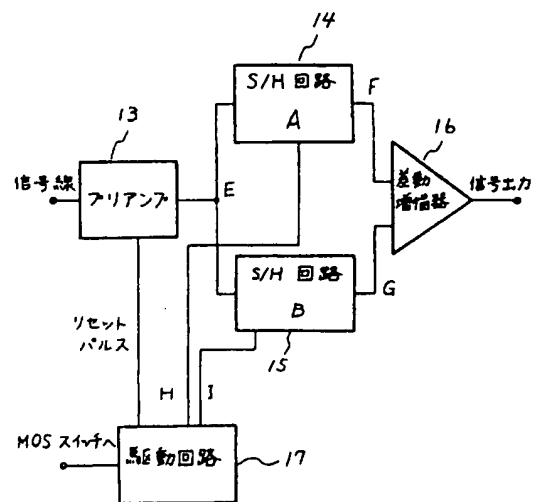
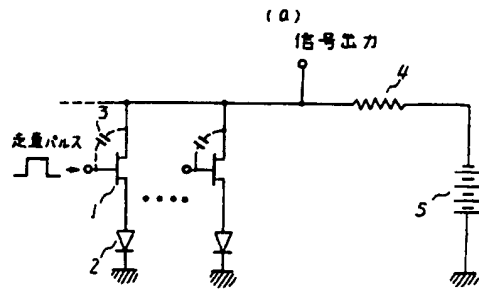


図 1



(b)

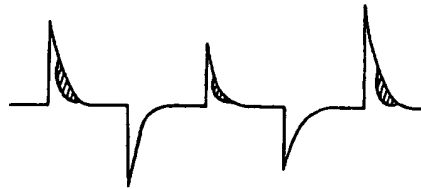
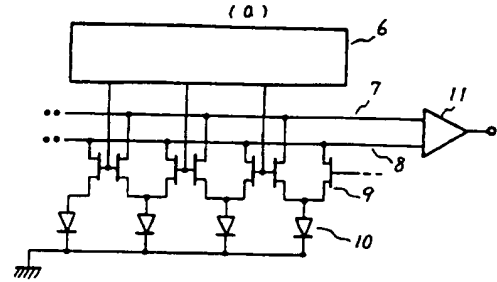


図 2



(b)

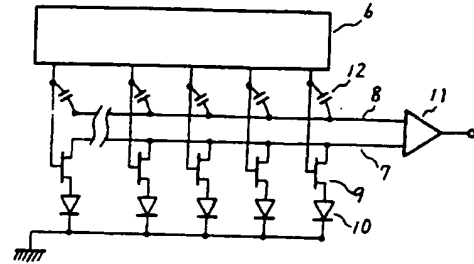
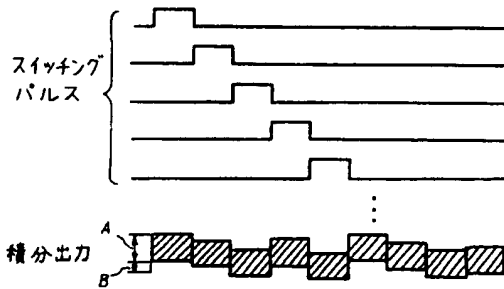


図 3

(a)



(b)

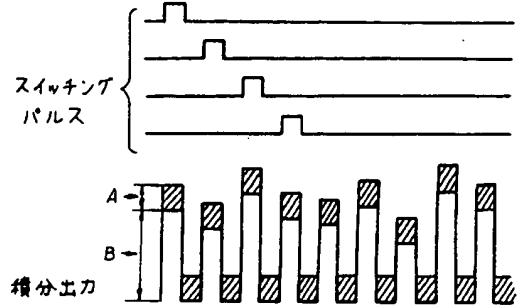
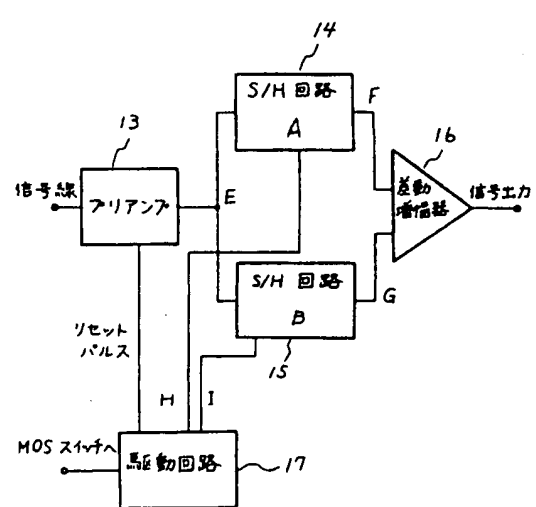
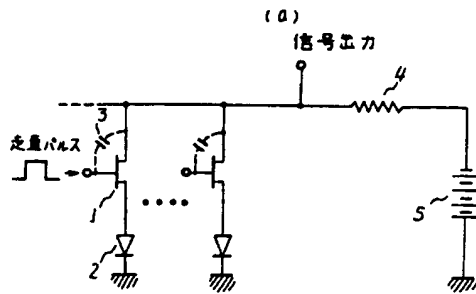


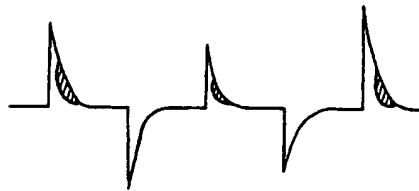
図 4



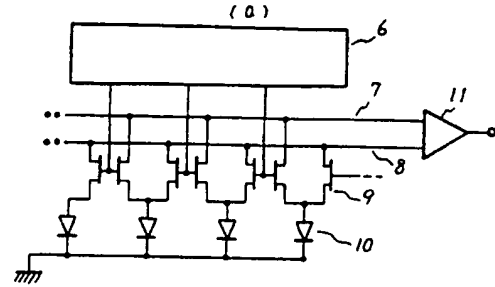
オ 1 図



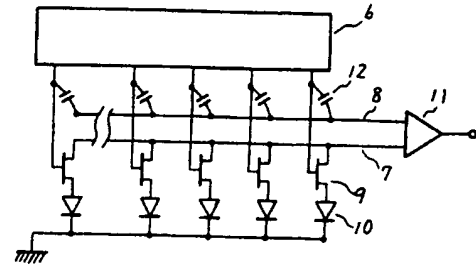
(b)



オ 2 図

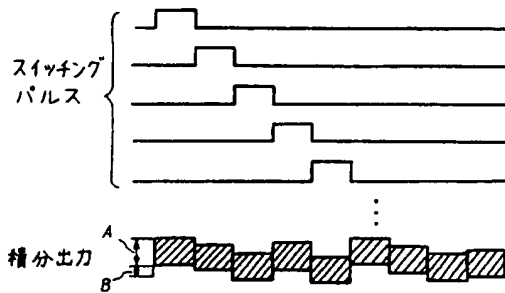


(b)

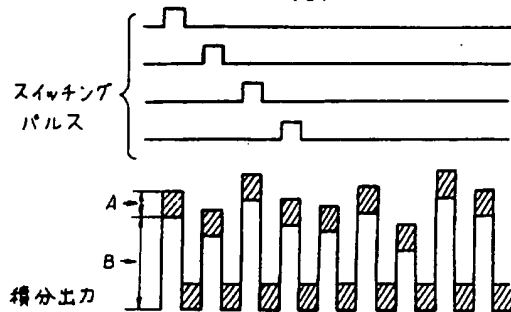


オ 3 図

(a)



(b)



オ 4 図

